

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05260413 A**(43) Date of publication of application: **08.10.93**

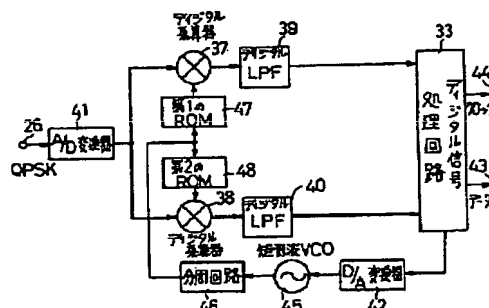
(51) Int. Cl.

H04N 5/60**H03D 3/06**(21) Application number: **04086224**(22) Date of filing: **10.03.92**(71) Applicant: **FUJITSU GENERAL LTD
FUJITSU LTD**(72) Inventor: **OKADA KAZUO
KAMO YOSHIHIKO****(54) DATA TRANSMISSION CIRCUIT****(57) Abstract:**

PURPOSE: To obtain a simple circuit able to implement digital processing completely.

CONSTITUTION: A carrier of an inputted QPSK signal and a recovered carrier are controlled so that their phase difference is made zero. An A/D converter 41 is interposed between a QPSK input terminal 26 and multipliers 37, 38, digital devices are employed for the multipliers 37, 38 and LPFs 39, 40, a D/A converter 42 is interposed between a signal processing circuit 33 and a VCO 45, a frequency divider circuit 46 is coupled with an output of the VCO 45 comprising a rectangular wave oscillator, and a 1st ROM 47 and a 2nd ROM 48 are interposed between the two multipliers 37, 38 and the frequency divider circuit 46 respectively. The inputted QPSK signal is converted into a digital signal immediately by the A/D converter 41 and multiplied with the signal generated from the 1st, 2nd ROMs 47, 48 at the multipliers 37, 38, the resulting signal is given to the LPFs 39, 40 and the signal processing circuit 33, in which data are recovered, the data are outputted from a data output terminal 43, a clock is outputted from a clock output terminal 44 and a phase difference signal is outputted to the D/A converter 42 respectively.

COPYRIGHT: (C)1993,JPO&Japio



(51)IntCl.⁵

H 0 4 N 5/60

H 0 3 D 3/06

識別記号

1 0 2 Z

庁内整理番号

D 4239-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号

特願平4-86224

(22)出願日

平成4年(1992)3月10日

(71)出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 岡田 一夫

神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(72)発明者 加茂 良彦

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 古澤 俊明 (外1名)

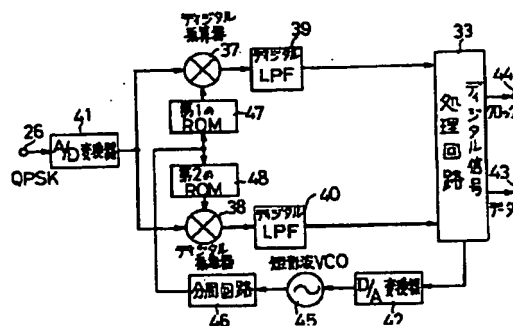
(54)【発明の名称】 データ伝送回路

(57)【要約】

(修正有)

【目的】 簡単な回路で、しかも、完全にデジタル処理のできる回路を得る。

【構成】 入力したQPSK信号の搬送波と再生搬送波の位相差が0となるように制御するようにしたものにおいて、QPSK入力端子と乗算器との間にA/D変換器41を介在し、乗算器37、38およびLPF39、40はデジタル形を用い、信号処理回路33とVCO45との間にD/A変換器42を介在し、矩形波発振器からなるVCOの出力側に分周回路46を結合し、この分周回路と2つの乗算器との間にそれぞれ第1ROMと第2ROMとを介在して構成する。入力したQPSK信号はA/D変換器ですぐにデジタル変換し、乗算器で第1、第2のROMで発生した信号と乗算され、そのデータは、LPFと、信号処理回路によってデータが再生されデータ出力端子43にデータが、クロック出力端子44にクロックが、またD/A変換器42に位相差信号が出力する。



【特許請求の範囲】

【請求項1】 QPSK入力端子に入力したQPSK信号を2つに分岐し、それぞれ乗算器、LPFを介して信号処理回路に結合し、この信号処理回路から復調出力と位相差出力とを得て、この位相差出力をVCOを介して前記一方の乗算器には移相した信号を送り、他方の乗算器にはそのまま送ることにより入力した搬送波と再生搬送波の位相差が0となるように制御するようにしたものである。前記QPSK入力端子と乗算器との間にA/D変換器を介在し、前記乗算器およびLPFはデジタル形を用い、前記信号処理回路とVCOとの間にD/A変換器を介在し、前記VCOは、矩形波発振器からなり、このVCOの出力側に分周回路を結合し、この分周回路と前記2つの乗算器との間にそれぞれ第1ROMと第2ROMとを介在してなることを特徴とするデータ伝送回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、衛星放送受信機における音声信号を復調するための4位相復調回路などのサンプリング型データ伝送回路に関するものである。

【0002】

【従来の技術】 一般に、衛星放送受信機は第3図に示すように、放送衛星11からの電波をパラボラアンテナ12で受信し、BSコンバータ13で1GHzの中間周波数帯に変換し、BSチューナ14に送られる。このBSチューナ14では選局回路15により希望するチャンネルを選択し、FM復調回路16でFM復調をした後、映像-音声分離回路17で映像信号と音声信号に分離する。このうち、映像信号はデエンファシス回路18、エネルギー拡散信号除去回路19によってもとの映像信号を再生し、テレビ受像機20の映像入力端子21に加える。他方、音声信号は4位相復調(以下QPSKという)回路22、PCM復調回路23によって復調し、デエンファシス回路24によってもとの音声信号に再生する。そして前記テレビ受像機20の音声入力端子25に加える。このようにして衛星放送の受信を可能とする。

【0003】 以上のような衛星放送受信機において、従来のQPSK回路22は、第2図のように構成されていた。この従来のQPSK回路22において、QPSK信号は、乗算器27、28、アナログ型LPF29、30、A/D変換器31、32を通り、位相差検出のためのデジタル信号処理回路33に送られる。このデジタル信号処理回路33では、QPSK信号の発生側の搬送波の位相と、VCO34から発生する再生搬送波の位相差を比較し、その差が0となるようにD/A変換器36を介してVCO34に制御信号を加える。このVCO34からの発振信号は、一方の乗算器27に -90° 移相器35を介して送られ、また他方の乗算器28にそのまま送られて入力したQPSK信号と乗算される。そし

て位相差が次第に0になって、復調信号としてA/D変換器31、32を経てデジタル信号処理回路33から出力する。

【0004】 以上のQPSK回路22には、QPSK信号の位相成分を検出するため、乗算器27、28とLPF29、30が従属して接続されている。ここで、QPSK信号を $\cos(\omega ct + \phi)$ と表わし、再生搬送波を $\cos \omega ct$ と表わすと、乗算器27による乗算結果は $1/2 \cdot \{\cos(2\omega ct + \phi) + \cos \phi\}$ となり、後続のLPF29により、 $\cos \phi$ 成分だけが取り出され、同様に、LPF30により、 $\sin \phi$ 成分が得られる。

【0005】

【発明が解決しようとする課題】 しかるに、従来のQPSK回路22は、2個のA/D変換器31、32を必要とするために、回路構成が複雑になる。また、 -90° 移相器35はアナログ信号で処理していたので、 90° の位相差が温度変化などで変動することがあり、この変動のため、受信信号からデータを再生するとき、誤りが増加する原因となるなどの問題があった。

【0006】 本発明は、簡単な回路で、しかも、完全にデジタル処理のできる回路を得ることを目的とする。

【0007】

【課題を解決するための手段】 本発明は、QPSK入力端子に入力したQPSK信号を2つに分岐し、それぞれ乗算器、LPFを介して信号処理回路に結合し、この信号処理回路から復調出力と位相差出力とを得て、この位相差出力をVCOを介して前記一方の乗算器には移相した信号を送り、他方の乗算器にはそのまま送ることにより入力した搬送波と再生搬送波の位相差が0となるように制御するようにしたものである。前記QPSK入力端子と乗算器との間にA/D変換器を介在し、前記乗算器およびLPFはデジタル形を用い、前記信号処理回路とVCOとの間にD/A変換器を介在し、前記VCOは、矩形波発振器からなり、このVCOの出力側に分周回路を結合し、この分周回路と前記2つの乗算器との間にそれぞれ第1ROMと第2ROMとを介在してなることを特徴とするデータ伝送回路である。

【0008】

【作用】 入力したQPSK信号はA/D変換器41ですぐにデジタル値に変換し、乗算器37、38で第1のROM47と第2のROM48で発生した信号と乗算される。乗算されたデータは、LPF39、40と、信号処理回路33によってデータが再生される。

【0009】 ここで、サンプリング間隔を再生搬送波と同期したN分周で行うものとする。例えば、 $N=4$ でサンプリングすると、第1のROM47では、 $+1, +1, -1, -1, \dots$ となり、第2のROM48では、 $-1, +1, +1, -1, \dots$ となり、 $+1$ か -1 となる。したがって、乗算器37、38では、デジタルのQP

SK信号に+1または-1を乗算して次段の回路へ送られる。

【0010】

【実施例】以下、本発明の一実施例を第1図に基き説明する。第1図において、26はQPSK信号入力端子で、このQPSK信号入力端子26に直接A/D変換器41を結合する。この直接A/D変換器41の出力側は、2つに分岐され、それぞれデジタル型の乗算器37、38に結合され、さらにデジタル型のLPF39、40に結合されている。これらのデジタル型のLPF39、40は、位相差検出のためのデジタル信号処理回路33に結合され、このデジタル信号処理回路33の出力側には、データ出力端子43、クロック出力端子44およびD/A変換器42が結合されている。

【0011】このD/A変換器42には、 $N \times f_0$ Hzの矩形波を発生するVCO45が結合され、このVCO45の出力側にカウンタからなりN分周する分周器46が結合され、この分周器46の出力側を2つに分岐してそれぞれ第1のROM47と第2のROM48を介して前記乗算器37、38に結合されている。

【0012】以上のような構成において、QPSK信号入力端子26に入力したQPSK信号は、A/D変換器41ですぐにデジタル値に変換して乗算器37、38へ送られる。この乗算器37、38では、第1のROM47と第2のROM48で発生した信号と乗算される。この乗算されたデータは、前記デジタル型のLPF39、40と、位相差検出のためのデジタル信号処理回路33によってデータが再生され、データ出力端子43にデータが出力し、クロック出力端子44にクロックが出力し、D/A変換器42に位相差信号が出力する。

【0013】ここで、再生搬送波とQPSK信号とをデジタル的に乗算するためには、乗算を一定時間間隔で区切って行う必要があり、また、その間隔はサンプリング定理を満足する程度に短くなければならない。そこで、この間隔を図4における再生搬送波と同期したN分周で行うものとする。例えば第4図において、 $N=4$ で

サンプリングすると、第1のROM47では、+1, +1, -1, -1, ...となり、第2のROM48では、90°の位相差を有することから、-1, +1, +1, -1, ...となり、+1か-1となる。したがって、乗算器37、38では、デジタルのQPSK信号に+1または-1を乗算して次段の回路へ送られる。

【0014】

【発明の効果】本発明は上述のように構成したので、回路構成が簡単になる。また、-90°移相はデジタル信号で処理するようにしたので、90°の位相差が温度変化などで変動することがなく、受信信号からデータを再生するとき、誤りが発生せず、信頼性の高い回路となる。

【図面の簡単な説明】

【図1】本発明によるデータ伝送回路の一実施例を示すブロック図である。

【図2】従来のデータ伝送回路のブロック図である。

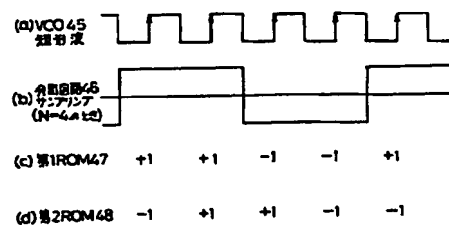
【図3】一般的な衛星放送受信機のブロック図である。

【図4】波形図である。

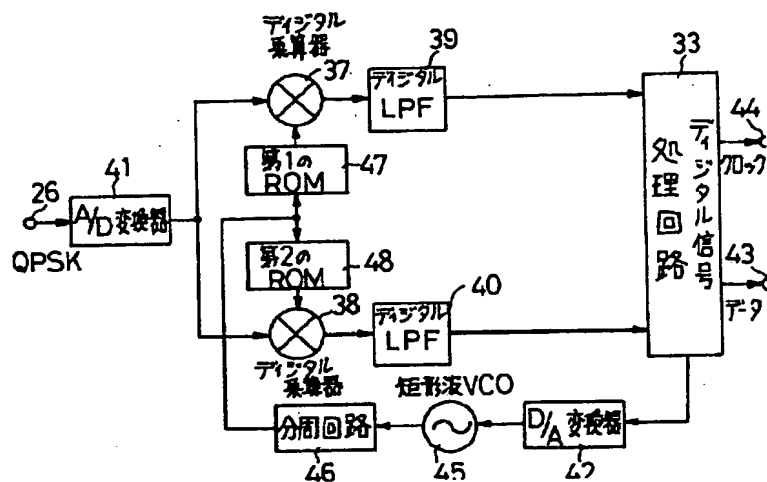
【符号の説明】

11…放送衛星、12…パラボラアンテナ、13…BSコンバータ、14…BSチューナ、15…選局回路、16…FM復調回路、17…映像-音声分離回路、18…デエンファシス回路、19…エネルギー拡散信号除去回路、20…テレビ受像機、21…映像入力端子、22…QPSK(4位相復調)回路、23…PCM復調回路、24…デエンファシス回路、25…音声入力端子、26…QPSK入力端子、27、28…アナログ乗算器、29、30…アナログLPF、31、32…A/D変換器、33…信号処理回路、34…矩形波VCO、35…-90°移相器、36…D/A変換器、37、38…デジタル乗算器、39、40…デジタルLPF、41…A/D変換器、42…D/A変換器、43…データ出力端子、44…クロック出力端子、45…矩形波VCO、46…分周回路、47…第1のROM、48…第2のROM。

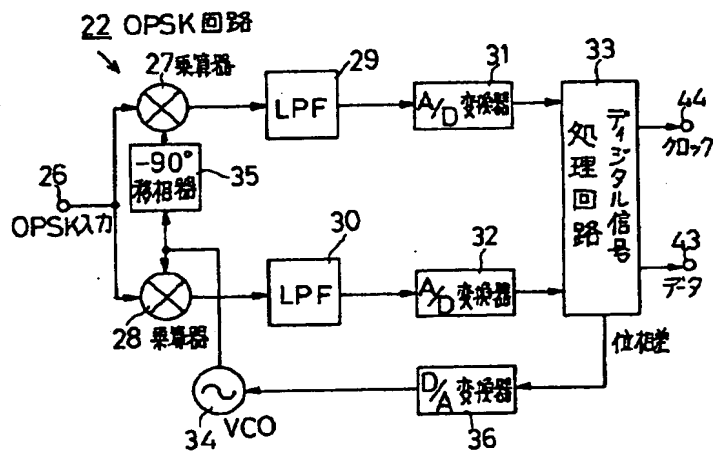
【図4】



【図1】



【図2】



【図3】

